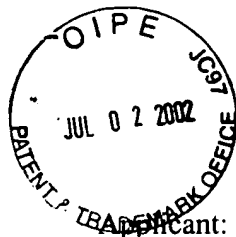


COPY OF PAPERS
ORIGINALLY FILED



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: NAOAKI KOMIYA)

Serial No.: 10/074,405)

For: ORGANIC EL PIXEL CIRCUIT)

Group Art Unit: 2821

Before the Examiner:

CLAIM FOR PRIORITY

Commissioner for Patents
Washington, D.C. 20231

Dear Sir:

Enclosed herewith is a certified copy of Japanese Application No. 2001-038642 filed on February 15, 2001. The enclosed Application is directed to the invention disclosed and claimed in the above-identified application.

Applicant's hereby claim the benefits of the filings dates of February 15, 2001 to Japanese Application No. 2001-038642 under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

If any fees are due with regard to this claim for priority, please charge them to Deposit Account No. 06-1130 maintained by Applicants' attorneys.

Respectfully submitted,

NAOAKI KOMIYA

CANTOR COLBURN LLP
Applicant's Attorneys

I HEREBY CERTIFY THAT THIS DOCUMENT
IS BEING DEPOSITED WITH THE UNITED STATES
POSTAL SERVICE AS FIRST CLASS MAIL IN AN
ENVELOPE ADDRESSED TO:
ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D. C. 20231

ON June 26, 2002
DATE OF DEPOSIT
Nidia M. Otero
(TYPED OR PRINTED NAME OF PERSON MAILING PAPER OR FEE)
Nidia M. Otero 6/26/02
SIGNATURE DATE

By

Lisa A. Bongiovi
Registration No. 48,933

Date: June 26, 2002
Address: 55 Griffin Road South, Bloomfield, Connecticut 06002
Telephone: (860) 286-2929
Customer No. 023413

RECEIVED
JUL -9 2002
TECHNOLOGY CENTER 2800

COPY OF PAPERS
ORIGINALLY FILED



Translation of Priority Certificate

JAPAN PATENT OFFICE

RECEIVED
JUL -9 2002
TECHNOLOGY CENTER 2800

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: February 15, 2001

Application Number: Patent Application
No. 2001-038642
[ST.10/C] [JP2001-038642]

Applicant(s): SANYO ELECTRIC CO., LTD.

February 15, 2002

Commissioner, Kozo OIKAWA
Japan Patent Office

Priority Certificate No. 2002-3007141



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月15日

出 願 番 号

Application Number:

特願2001-038642

[ST.10/C]:

[JP2001-038642]

出 願 人

Applicant(s):

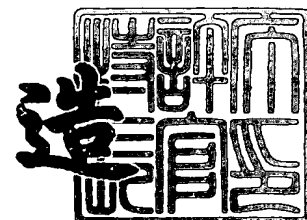
三洋電機株式会社

RECEIVED
JUL -9 2002
TECHNOLOGY CENTER 2800

2002年 2月15日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3007141

【書類名】 特許願

【整理番号】 KFB1000022

【提出日】 平成13年 2月15日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/38

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

 【氏名】 古宮 直明

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

【代理人】

 【識別番号】 100075258

 【弁理士】

 【氏名又は名称】 吉田 研二

 【電話番号】 0422-21-2340

【選任した代理人】

 【識別番号】 100081503

 【弁理士】

 【氏名又は名称】 金山 敏彦

 【電話番号】 0422-21-2340

【選任した代理人】

 【識別番号】 100096976

 【弁理士】

 【氏名又は名称】 石田 純

 【電話番号】 0422-21-2340

【手数料の表示】

 【予納台帳番号】 001753

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 有機 E L 画素回路

【特許請求の範囲】

【請求項 1】 有機 E L 画素への駆動電圧の印加を制御する有機 E L 画素回路において、

有機 E L 素子に生じる容量に蓄積される電荷を放電する放電用トランジスタを有することを特徴とする有機 E L 画素回路。

【請求項 2】 請求項 1 に記載の有機 E L 画素回路において、

前記有機 E L 画素はマトリクス配置されており、行方向の各画素は同一ゲートラインにより選択され、

前記放電用トランジスタは、自己の行が選択されるより前のタイミングで選択されるゲートラインによって、駆動されて有機 E L の容量に蓄積される電荷を放電することを特徴とする有機 E L 画素回路。

【請求項 3】 請求項 1 に記載の有機 E L 画素回路において、

前記有機 E L 画素はマトリクス配置されており、行方向の各画素は同一ゲートラインにより選択され、

前記放電用トランジスタは、自己の行が選択されるより前のタイミングで活性化される放電専用ラインによって駆動されて有機 E L の容量に蓄積される電荷を放電することを特徴とする有機 E L 画素回路。

【請求項 4】 請求項 1 ～ 3 のいずれか 1 つに記載の有機 E L 画素回路において、

前記有機 E L 画素はマトリクス状に配置されており、各画素はそれぞれ予め定められた色で発光し、

かつ、

発光効率の高い色で発光する画素内に、発光効率の低い色で発光する画素についての放電用トランジスタを配置することを特徴とする有機 E L 画素回路。

【請求項 5】 請求項 1 ～ 4 のいずれか 1 つに記載の有機 E L 画素回路において、

各画素は、有機 E L 素子への駆動電流印加を制御する駆動トランジスタへの制

御電圧を保持する保持容量を有しており、

この保持容量に保持されている制御電圧を制御して前記駆動トランジスタをオフする制御トランジスタをさらに有することを特徴とする有機 E L 画素回路。

【請求項 6】 請求項 5 に記載の有機 E L 画素回路において、

前記制御トランジスタは、前記放電用トランジスタと同時に駆動され放電用トランジスタの駆動時に駆動トランジスタをオフすることを特徴とする有機 E L 画素回路。

【請求項 7】 請求項 5 に記載の有機 E L 画素回路において、

前記制御トランジスタは、前記放電用トランジスタに先だって駆動され放電用トランジスタの駆動前に駆動トランジスタをオフすることを特徴とする有機 E L 画素回路。

【請求項 8】 請求項 5 ～ 7 のいずれか 1 つに記載の有機 E L 画素回路において、

前記有機 E L 画素はマトリクス状に配置されており、各画素はそれぞれ予め定められた色で発光し、

かつ、

発光効率の高い色で発光する画素内に、発光効率の低い色で発光する画素についての制御トランジスタを配置することを特徴とする有機 E L 画素回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

有機 E L 画素への駆動電圧の印加を制御する有機 E L 画素回路に関する。

【 0 0 0 2 】

【従来の技術】

従来より、フラットパネルディスプレイとして、有機 E L パネルが知られている。この有機 E L パネルは各画素が自発光するため、液晶のようにバックライトなどを必要とせず、明るい表示が可能であるという利点がある。

【 0 0 0 3 】

図 8 に、従来の薄膜トランジスタ (T F T) を利用した有機 E L パネルにおけ

る画素回路の構成例を示す。有機ELパネルは、このような画素をマトリクス配置して構成される。

【0004】

行方向に伸びるゲートラインには、ゲートラインによって選択されるnチャンネル薄膜トランジスタである選択トランジスタTFT1（以下、単にTFT1という）のゲートが接続されている。このTFT1のドレインには列方向に伸びるデータラインが接続されており、そのソースには他端が保持容量電源ラインに接続された保持容量SCが接続されている。また、TFT1のソースと保持容量SCの接続点は、pチャンネル薄膜トランジスタである駆動トランジスタTFT2（以下、単にTFT2という）のゲートに接続されている。そして、このTFT2のソースが電源PVDDに接続され、ドレインが有機EL素子ELに接続されている。なお、有機EL素子ELの他端はカソード電源CVに接続されている。

【0005】

従って、ゲートラインがHレベルの時にTFT1がオンとなり、そのときのデータラインのデータが保持容量SCに保持される。そして、この保持容量SCに維持されているデータ（電位）に応じてTFT2がオンオフされ、TFT2がオンしている場合に有機EL素子ELに電流が流れ、発光する。

【0006】

このようにして、各画素の発光が制御される。なお、保持容量SCがあるため、TFT1がオフした後も有機EL素子ELの発光が可能となる。通常は、保持容量SCは次のゲートラインの選択まで、TFT2をオンまたはオフを維持する。

【0007】

【発明が解決しようとする課題】

ここで、上述のようなTFTを利用した有機ELパネルにおいて、マトリクス状に配置された各画素は、有機EL素子、TFT1、TFT2を含め同一の基板上に積層形成されている。従って、有機EL素子ELに寄生容量が発生する。

【0008】

このため、TFT2がオフされた状況においても、有機EL素子の持つ容量に

蓄積された電荷に応じて、有機EL素子ELに電流が流れ、残像が発生するという問題がある。すなわち、有機EL素子をオンする場合には高速応答で動作するが、有機EL素子のオフの際には有機ELの容量の影響で応答が遅くなり残像が生じてしまうという問題があった。

【0009】

本発明は、上記従来の欠点に鑑みなされたものであり、残像の発生を効果的に防止できる有機EL画素回路を提供することを目的とする。

【0010】

【課題を解決するための手段】

本発明は、有機EL画素への駆動電圧の印加を制御する有機EL画素回路において、有機EL素子に生じる容量に蓄積される電荷を放電する放電用トランジスタを有することを特徴とする。

【0011】

このように、本発明によれば、放電用トランジスタによって、有機ELの容量に蓄積されている電荷を放電できる。そこで、有機EL素子がオンからオフになったときに、有機ELの容量に蓄積されている電荷によってオン状態が保持され残像が生じることを防止することができる。

【0012】

また、前記有機EL画素はマトリクス配置されており、行方向の各画素は同一ゲートラインにより選択され、前記放電用トランジスタは、自己の行が選択されるより前のタイミングで選択されるゲートラインによって、駆動されて有機ELの容量に蓄積される電荷を放電することが好適である。これによって、予め有機ELの容量の放電が行われ、確実な残像発生防止が行える。

【0013】

また、前記放電用トランジスタは、自己の行が選択されるより前のタイミングで活性化される放電専用ラインによって駆動されて有機ELの容量に蓄積される電荷を放電することも好適である。

【0014】

また、各画素は、有機EL素子への駆動電流印加を制御する駆動トランジスタ

への制御電圧を保持する保持容量を有しており、この保持容量に保持されている制御電圧を制御して前記駆動トランジスタをオフする制御トランジスタをさらに有することが好適である。これによって、制御トランジスタによる放電を行うことで、駆動トランジスタをオフすることができる。

【 0 0 1 5 】

また、前記制御トランジスタは、前記放電用トランジスタと同時に駆動され放電用トランジスタの駆動時に駆動トランジスタをオフすることが好適である。これによって、表示期間を維持し、配線を短くして、確実な残像発生の防止が行える。そして、駆動トランジスタと、放電用トランジスタの同時オンを防止できる。

【 0 0 1 6 】

また、前記制御トランジスタは、前記放電用トランジスタに先だって駆動され放電用トランジスタの駆動前に駆動トランジスタをオフすることが好適である。これによって、より確実な駆動トランジスタと、放電用トランジスタの同時オン防止が行える。

【 0 0 1 7 】

また、前記有機 E L 画素はマトリクス状に配置されており、各画素はそれぞれ予め定められた色で発光し、かつ、発光効率の高い色で発光する画素内に、発光効率の低い色で発光する画素についての放電用トランジスタ及び／または制御トランジスタを配置することが好適である。例えば、各画素が R G B（赤、緑、青）で発光する場合において、有機 E L 素子では、R の発光効率が悪く、G の発光効率が低い。B は R と G の中間である。そこで、R についての放電用トランジスタまたは制御トランジスタ、またはその両方を G の画素内に配置することによって、R の画素の開口率を上昇することができる。これによって、発光効率の低い画素（例えば R）の開口率を上げることができ、駆動電圧の上昇を抑えることができるため、全体の消費電力を下げる事が可能となる。

【 0 0 1 8 】

【発明の実施の形態】

以下、本発明の実施形態について、図面に基づいて説明する。

【 0 0 1 9 】

図 1 は、本実施形態の 1 画素分の画素回路の構成を示す図である。水平方向に伸びるゲートラインには、 n チャンネルの T F T からなる T F T 1 が接続されている。この T F T 1 は、T F T を直列接続したダブルゲート T F T として形成されている。なお、必ずしもダブルゲートにすることはない。

【 0 0 2 0 】

そして、この T F T 1 の他端には、保持容量 S C の一端が接続されている。保持容量 S C の他端は、パネルのマイナス電源である V E E に接続されている。T F T 1 と保持容量 S C の接続点には、 p チャンネル T F T からなる駆動トランジスタ T F T 2 のゲートが接続されている。この T F T 2 は、2 つの T F T を並列接続した構成になっている。そして、T F T 2 の一端がパネル電源 P V D D に接続され、他端が有機 E L 素子 E L に接続されている。なお、有機 E L 素子の他端は、反対側の基板に設けられているカソードに接続されている。

【 0 0 2 1 】

そして、T F T 2 と有機 E L 素子 E L との接続点に、他端が V E E に接続された放電トランジスタ T F T 3 の一端が接続されており、この放電トランジスタ T F T 3 のゲートは、前段のゲートラインに接続されている。すなわち、図における左上の画素の T F T 3 においては、自己の画素の T F T 1 が接続されるゲートライン 1 より 1 水平ライン上のゲートライン 0 に接続されている。

【 0 0 2 2 】

さらに、T F T 1 と保持容量 S C の接続点には、制御トランジスタ T F T 4 の一端が接続され、この T F T 4 の他端は電源 P V D D に接続されている。そして、この T F T 4 のゲートは、前述の T F T 3 と同様に前段のゲートラインに接続されている。

【 0 0 2 3 】

このような有機 E L 画素回路において、垂直ドライバにより、ゲートラインが順次オンされる。すなわち、垂直同期信号によって規定される 1 画面の表示において、水平同期信号に応じて、表示を行う水平ラインに対応したゲートラインが順次オンされる。

【 0 0 2 4 】

また、水平ドライバによって、1つのゲートラインがオンしている1水平期間において、データラインが順次ビデオ信号ラインと接続され、各画素に応じたデータがTFT1を介し、TFT2のゲート及び保持容量SCに供給される。従って、データの印加は基本的に点順次となる。そして、印加されたデータは保持容量SCに蓄えられ、TFT2のオンまたはオフの状態がデータの印加終了後も保持される。そして、このTFT2のオンの場合に、電源PVDDからの電流が有機EL素子ELに流れ、これが発光する。

【 0 0 2 5 】

なお、本実施形態では、TFT2がpチャンネルであり、保持容量SCに電荷が保持されHレベルとなっているときにオフ、電荷が放電されLレベルとなっているときにオンとなる。

【 0 0 2 6 】

そして、本実施形態においては、TFT3を有しており、このTFT3が前段のゲートラインによってオンされる。すなわち、有機EL素子ELの上側、すなわちTFT2のドレインがTFT1のオンの1水平ライン前の段階で、マイナス電源VEEに接続される。従って、有機EL素子ELの容量に蓄積された電荷が放電される。そこで、自己のゲートラインが選択されて書き込まれたデータが黒であり、TFT2がオフされたときに有機EL素子ELに電流が流れることはなく、残像の発生を確実に防止することができる。

【 0 0 2 7 】

例えば、図2に示すように、ゲートライン0がオンの時にゲートライン1によってオンするTFT1に接続されたTFT4およびELに接続されているTFT3がオンする。これによって、ゲートライン1のラインの画素の有機EL素子ELの容量に蓄積された電荷が放電される。また、ゲートライン1がオンの時にゲートライン2のラインの画素についてのTFT3がオンしてその画素の有機EL素子ELの容量に蓄積された電荷が放電される。そして、このような動作が各ラインについて順次繰り返し行われる。

【 0 0 2 8 】

図 3 に示したのは、他の実施形態であり、この例では、T F T 4 の他端を前段のゲートラインではなく、前前段のゲートラインに接続している。これによって、まず前々の水平ラインが選択されているときに、保持容量が P V D D に充電され、T F T 2 がすべてオフになる。そして、前段の水平ラインが選択されているときに T F T 3 がオンして有機 E L の容量の放電が行われる。この構成によって、T F T 2 と T F T 4 の同時オンがより確実に防止できる。

【 0 0 2 9 】

例えば、図 4 に示すように、ゲートライン 0 がオンの時に、ゲートライン 1 の画素の T F T 3 と、ゲートライン 2 の画素の T F T 4 がオンされ、ゲートライン 1 がオンの時に、ゲートライン 2 の画素の T F T 3 と、ゲートライン 3 の画素の T F T 4 がオンされる。このようにして、各画素においては、まず T F T 4 がオンされ保持容量 S C が放電されて T F T 2 がオフされ、次に T F T 3 がオンされ有機 E L の容量が放電され、次に T F T 1 がオンされデータが書き込まれる。

【 0 0 3 0 】

T F T 3、4 のオンのタイミングは、必ずしも前段、前々段ではなく、それより前であってもよい。すなわち、T F T 3、4 のオンのタイミングは、当該段のゲートラインよりも前に選択されているゲートラインの信号であればよく、T F T 4 のオンのタイミングは、T F T 3 のオンのタイミングと同一またはそれ以前であればよい。しかし、なるべく直前にした方が、有機 E L 素子のオン期間を長く維持することができる。また、このための配線も短くできる。

【 0 0 3 1 】

このように、本実施形態によれば、T F T 3 を設けたため、有機 E L がオンからオフに変わったときに、確実にオフにすることができ、残像の発生を防止することができる。さらに、T F T 4 を設けたため、T F T 3 がオンしているときに T F T 2 がオンして T F T 4 が電源 P V D D とマイナス電源 V E E を接続することを防止することができる。

【 0 0 3 2 】

なお、最上段の水平ラインでは、前段、前々段のゲートラインがない。そこで、最下段及びその上のゲートラインからの配線を引き回してもよいが、垂直帰線

期間中にオンするダミーの（対応する画素はない）ゲートラインを設け、これによってTFT 3、4 をオンすればよい。

【0033】

また、図5に示したのは、さらに他の実施形態であり、この例では、TFT 3、4 をオンするために専用の放電専用ゲートラインを設けてあり、各段のTFT 3、4 のゲートがそれぞれその段の放電専用ゲートラインに接続される。

【0034】

そして、図6に示すように、各段の放電専用ゲートラインは前の段のゲートラインと同時にオンとなる（活性化される）ため、図1の実施形態と同様に前段のゲートラインがオンになるタイミングで、TFT 3、4 がオンする。なお、TFT 3、TFT 4 を別の放電専用ゲートラインに接続したり、一方をゲートラインに接続してTFT 3、TFT 4 を別のタイミングでオンしてもよい。

【0035】

図7に示したのは、さらに他の実施形態であり、この例ではTFT 3、TFT 4 の配置場所について工夫がなされている。図7において、3つの画素が表示されており、左上がR（赤）、右上がG（緑）、左下がB（青）である。なお、RGBの画素の配置は、このような配置ではなく列方向の同一の色が並ぶストライプタイプやその他どのような配置であってもよい。

【0036】

そして、本実施形態では、Rの画素のTFT 3、TFT 4 が、隣接するGの画素の内部に配置されている。従って、Rの画素内に配置されるTFT の数がGの画素におけるTFT の数より少なくなる。TFT を配置すれば、それだけその画素の開口率が小さくなるため、本実施形態ではRの画素の開口率がGの画素の開口率より大きくなっている。

【0037】

有機EL素子ELでは、通常Gの発光の素子が発光効率が高く明るく、Rの発光の素子の発光効率が低く暗い。本実施形態のように、R発光の画素の開口率を高くし、G発光の画素の開口率を低くすることで、発光効率の差を開口率で補償することができ、全体として消費電力を低下させることができる。

【 0 0 3 8 】

なお、有機EL素子の材料によっては、発光効率が異なる場合も考えられるが、その場合にも発光効率の低い色の画素のTFTを発光効率の高い画素内に配置すればよい。また、図7においては、1つの画素（Rの画素）のTFT3、TFT4の両方を、他の画素（Gの画素）内に配置したが、TFT3、TFT4のいずれか一方でもよい。

【 0 0 3 9 】

なお、この図7は、回路図として配置を示しているだけであり、個別の部材の配置大きさなどは、実際のレイアウトとは異なっている。また、図において、各画素の区切りは破線で示してある。

【 0 0 4 0 】

また、各トランジスタの極性は上述の各実施形態のものに限らず反対のものもよい。その場合には信号も反対の極性になる。

【 0 0 4 1 】

【発明の効果】

以上説明したように、本発明によれば、放電用トランジスタによって、有機ELの容量に蓄積されている電荷を放電できる。そこで、有機EL素子がオンからオフになったときに、有機ELの容量に蓄積されている電荷によってオン状態が保持され残像が生じることを防止することができる。

【 0 0 4 2 】

また、放電用トランジスタを自己の行の前段のゲートラインによって、駆動することにより、予め有機ELの容量の放電が行われ、確実な残像発生防止が行える。

【 0 0 4 3 】

また、制御トランジスタにより前記駆動トランジスタをオフすることで、放電トランジスタによる放電を行うときに、駆動トランジスタをオフすることができる。

【 0 0 4 4 】

また、発光効率の低い色の画素の放電用トランジスタまたは制御トランジスタ

を発光効率の高い色の画素内に配置することで、各色の発光効率の差を補償することができる。

【図面の簡単な説明】

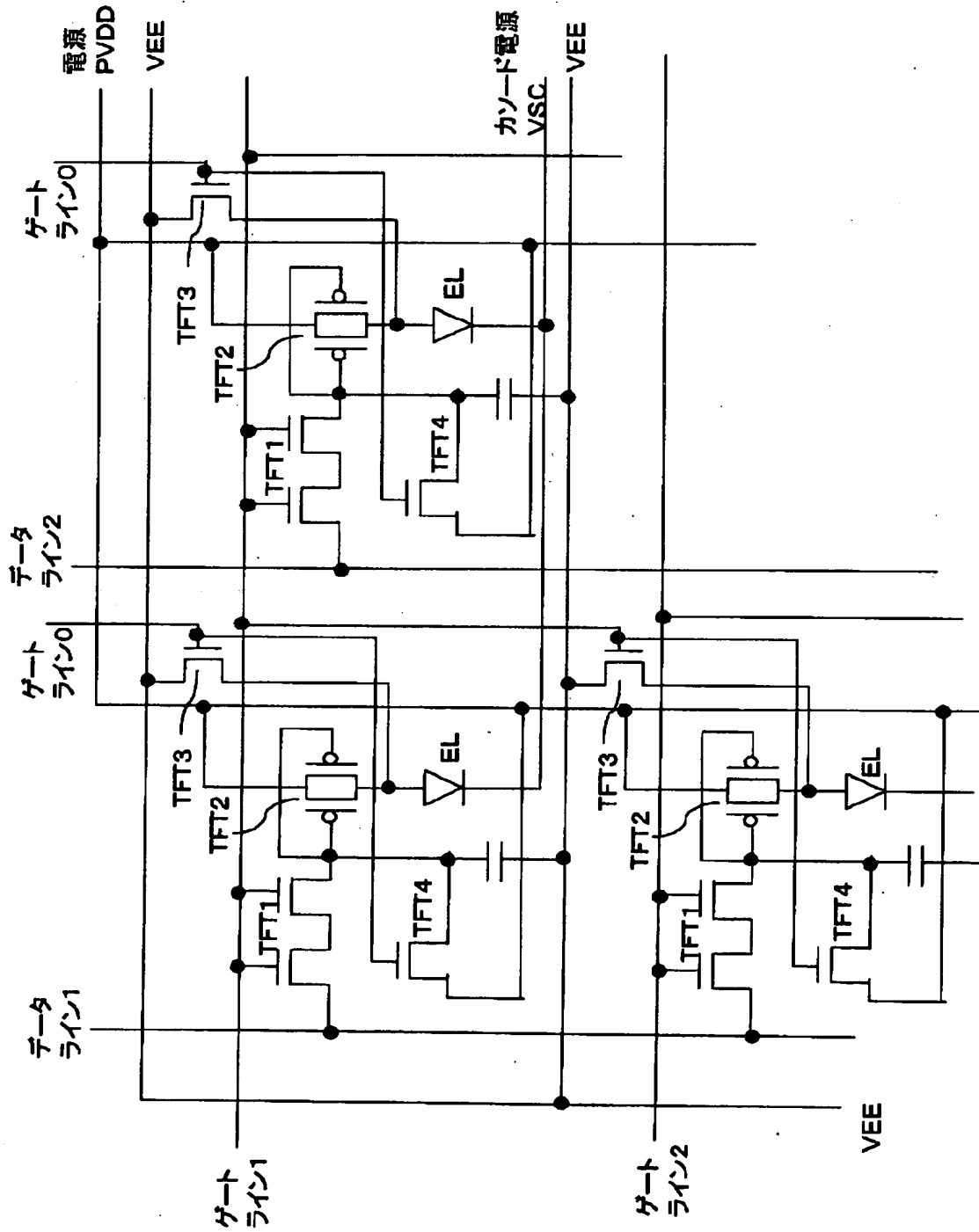
- 【図 1】 実施形態の構成を示す図である。
- 【図 2】 実施形態の動作を示すタイミングチャートである。
- 【図 3】 他の実施形態の構成を示す図である。
- 【図 4】 他の実施形態の動作を示すタイミングチャートである。
- 【図 5】 さらに他の実施形態の構成を示す図である。
- 【図 6】 さらに他の実施形態の動作を示すタイミングチャートである。
- 【図 7】 さらに、他の実施形態の構成を示す図である。
- 【図 8】 従来例の構成を示す図である。

【符号の説明】

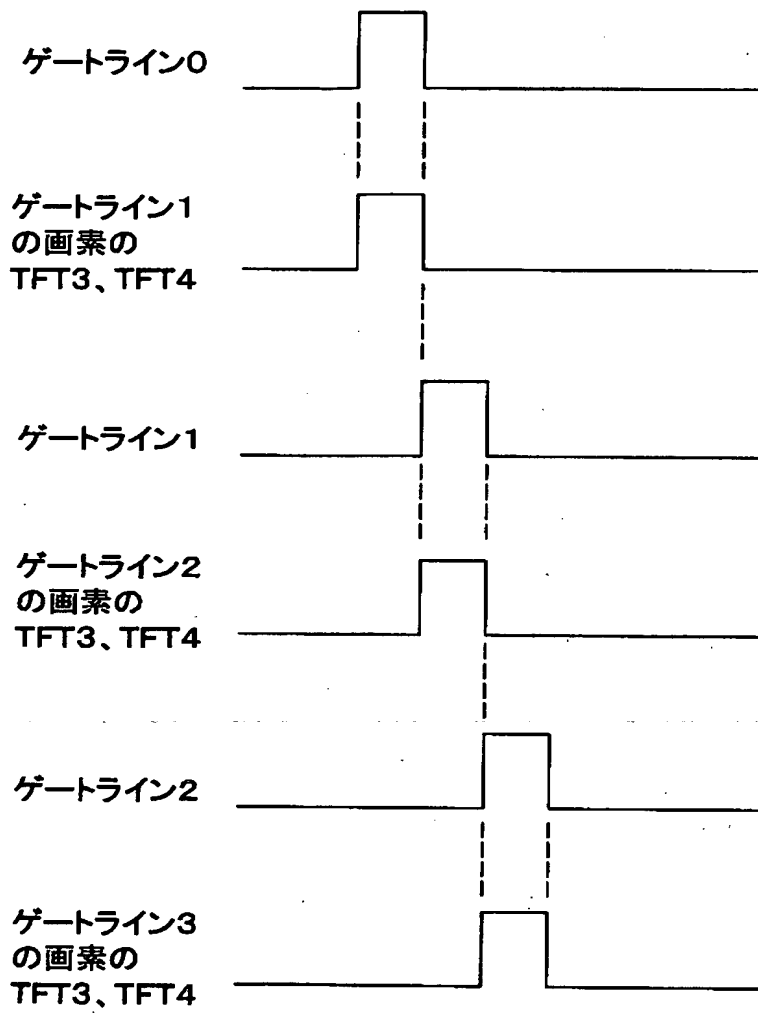
T F T 1 選択トランジスタ、T F T 2 駆動トランジスタ、T F T 3 放電トランジスタ、T F T 4 制御トランジスタ、S C 保持容量、E L 有機 E L 素子。

【書類名】 図面

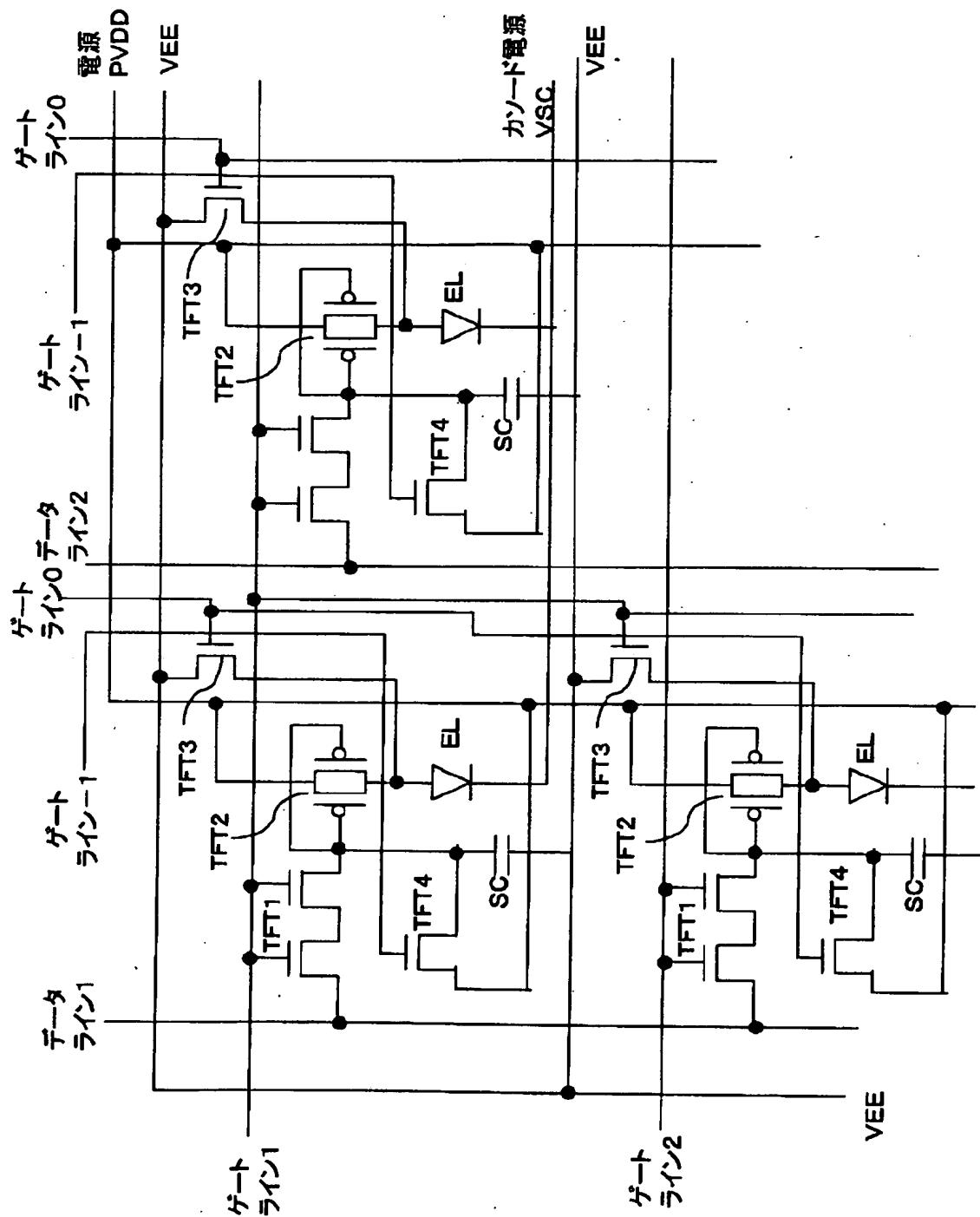
【図 1】



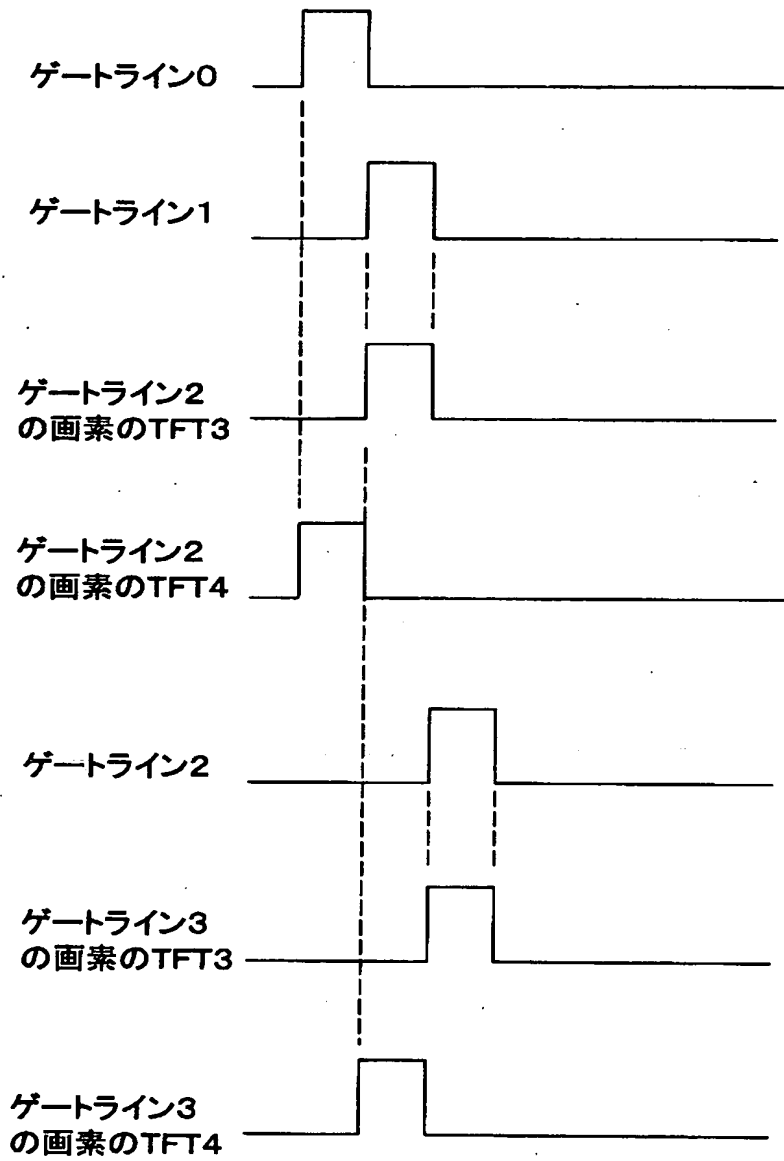
【図 2】



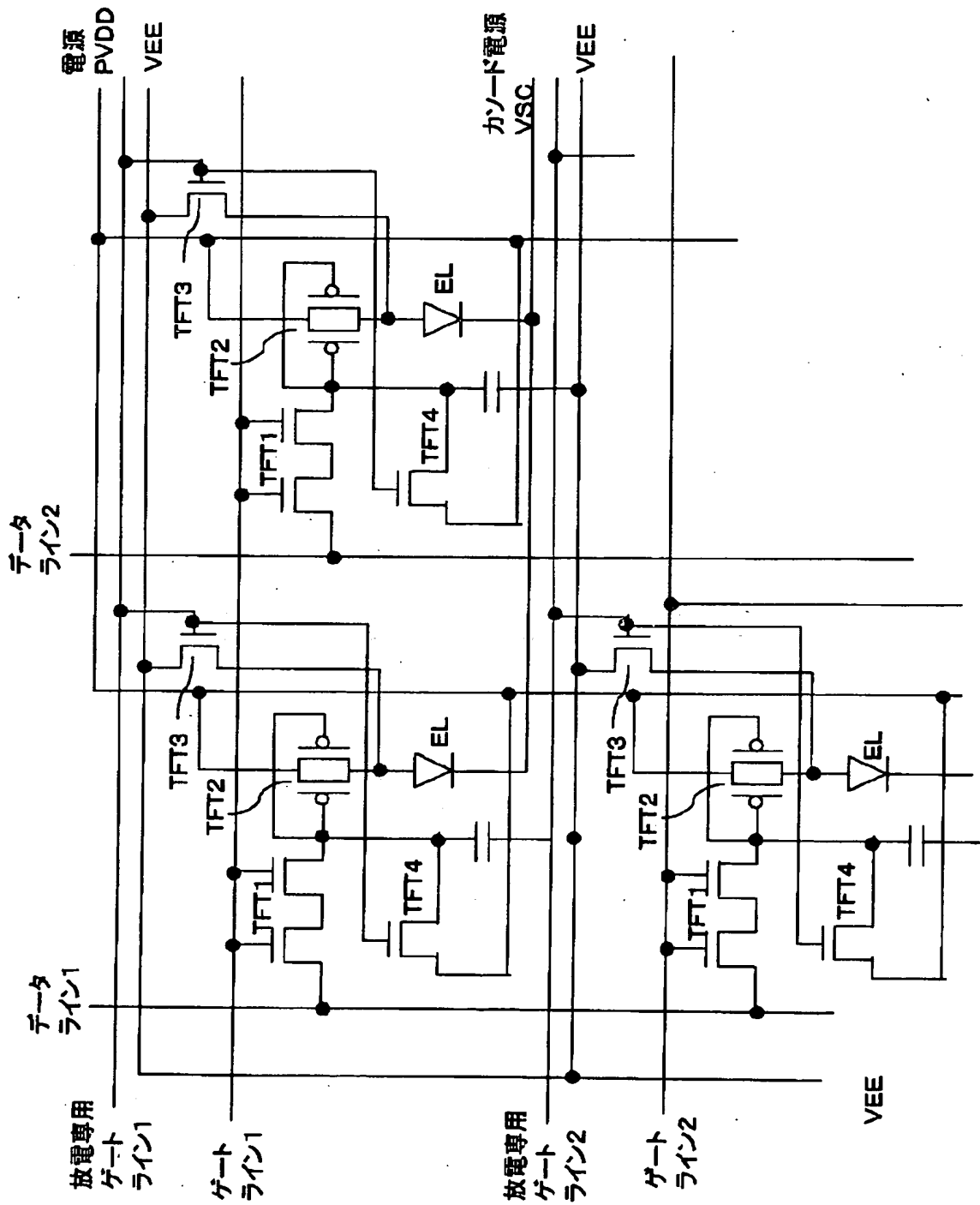
【図3】



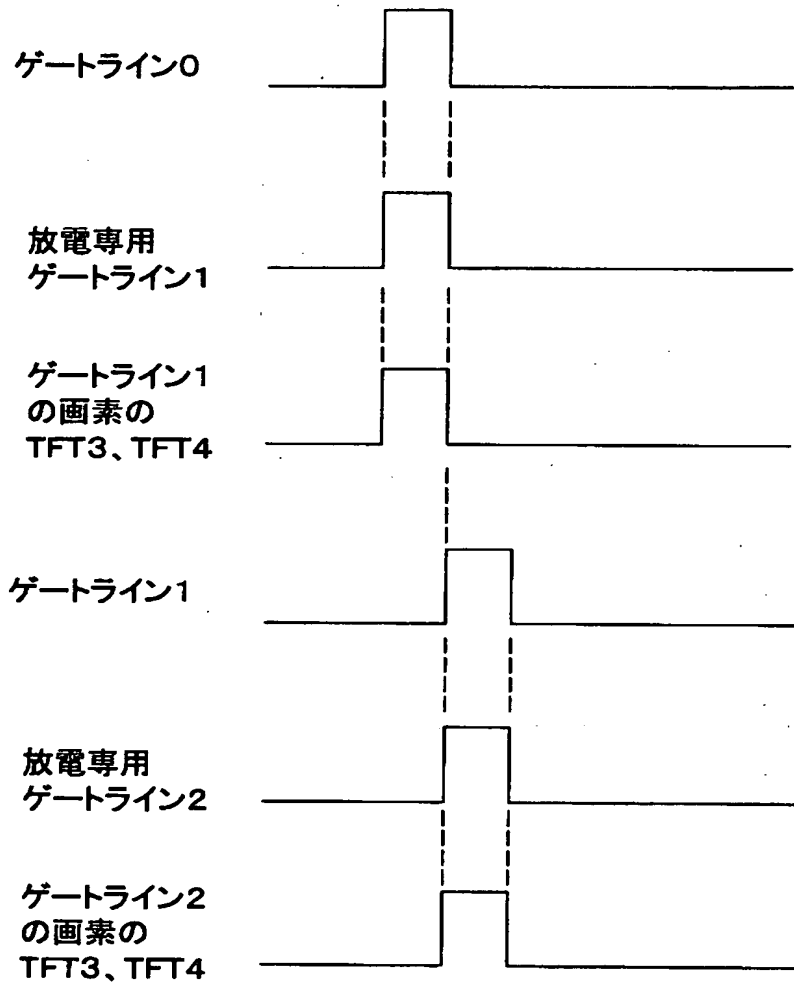
【図 4】



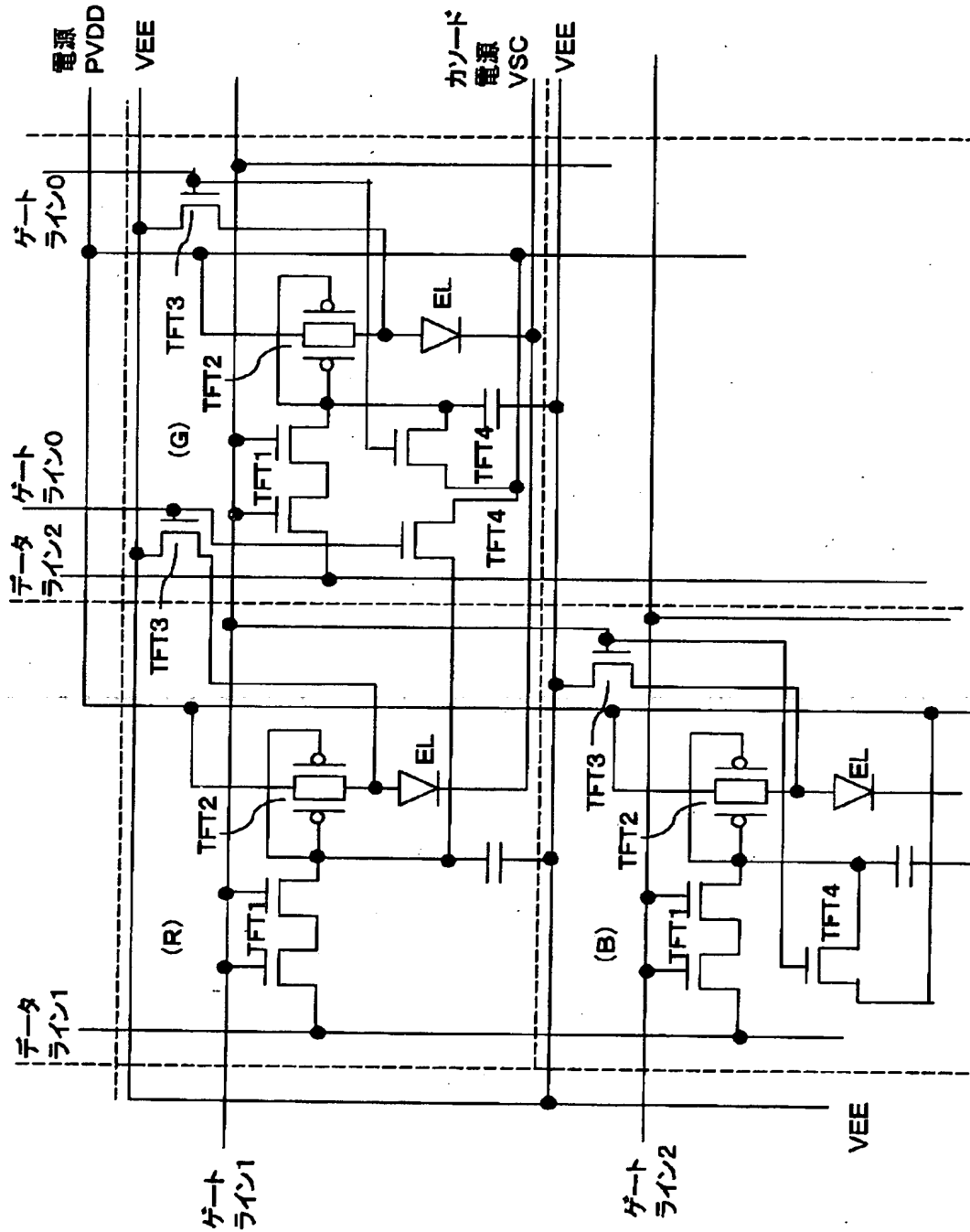
【図 5】



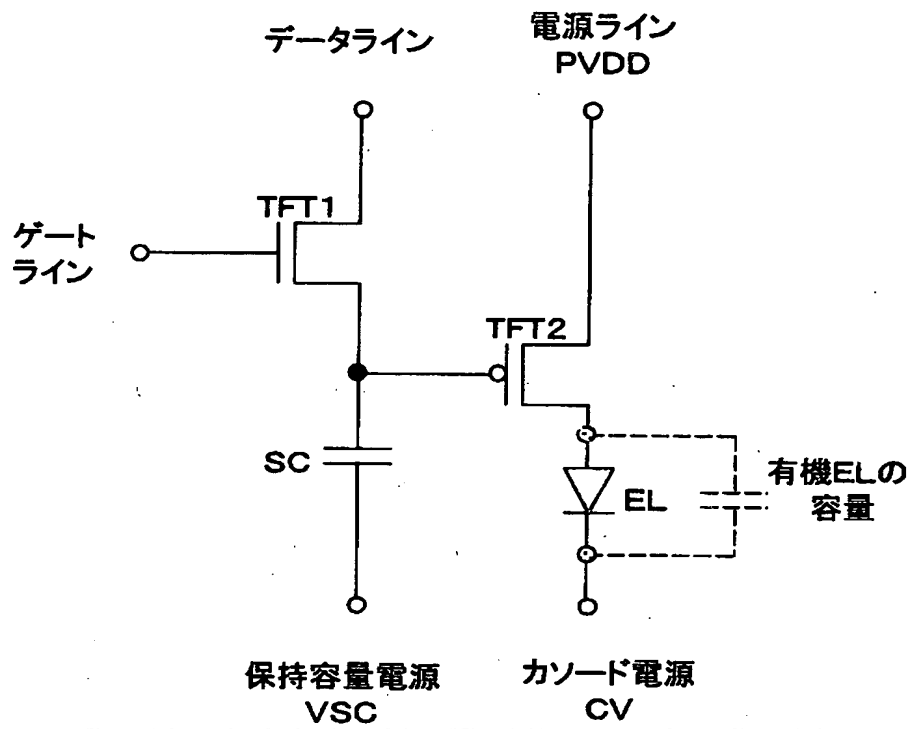
【図 6】



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 有機 E L 素子における残像の発生を防止する。

【解決手段】 有機 E L 素子 E L の上側端とマイナス電源 V E E を接続する放電用トランジスタ T F T 3 と、保持容量 S C の上側端を電源 P V D D に接続する制御トランジスタ T F T 4 を設ける。これら T F T 3、4 を前段のゲートラインによってオンすることにより、自己のラインが選択される前に、有機 E L 素子 E L の容量の放電を行う。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日 1993年10月20日
[変更理由] 住所変更
住 所 大阪府守口市京阪本通2丁目5番5号
氏 名 三洋電機株式会社